



**Japanese-English  
Technology  
Services**

Dr. Warren Smith

27 Sandy Brook Dr.  
Durham, NH 03824  
1.603.674.2227  
Warren.Smith@Comcast.net

---

*Serving the Global Technical and Legal Communities Since 1984*

---

May 26, 2005

**CERTIFICATION OF TRANSLATION**

I, Dr. Warren Smith of JETS: Japanese-English Technology Services, 27 Sandy Brook Drive, Durham, NH 03824 hereby declare and certify:

I am well acquainted with and knowledgeable regarding both the Japanese and English languages;

I am the translator of the attached English translation of Japanese Unexamined Patent Application Publication S 59-121696, sent in the same e-mail with this certification on 26 May 2005 to Daniel Gaudet (Daniel.Gaudet@Wilmerhale.com).

To the best of my knowledge and belief, the attached English translation is a true, correct, accurate and complete translation.

I further declare and certify that all statements made herein of my own knowledge are true and that all statements made on information and belief are believed to be true; and further that these statements were made with the knowledge that willful false statements and the like so made are punishable by fine or imprisonment, or both, under 18 U.S.C. § 1001.

Pursuant to 28 U.S.C. § 1746, I declare and certify under penalty of perjury that the foregoing is true and correct.

Date: May 26, 2005

Dr. Warren W. Smith  
JETS: Japanese-English Technology Services  
Durham, NH 03824  
Warren.Smith@comcast.net  
603-674-2227

(19) Japan Patent Office (JP)

(11) Japanese Unexamined Patent  
Application Publication Number

(12) **Japanese Unexamined Patent  
Application Publication (A)**

**S 59-121696**

(51) Int. Cl.<sup>3</sup>

Identification codes

JPO file numbers

(43) Publication date: 7/13/1984

G 11 C 17/00 101

6549-5B

H 01 L 29/78

7514-5F

Request for examination Not yet requested Number of inventions 1 (Total of 3 pages)

|                                  |  |
|----------------------------------|--|
| (54) Title of the invention      | NON-VOLATILE SEMICONDUCTOR MEMORY  |
| (21) Japanese Patent Application | S 57/227760  |
| (22) Date of Application         | 12/28/1982   |
| (72) Inventor                    | SUMIHARA, Hideki<br>Toshiba Company, Transistor Factory<br>1 Toshiba, Komukai, Saiwai-ku, Kawasaki City  |
| (72) Inventor                    | IWAHASHI, Hiroshi<br>Toshiba Company, Transistor Factory<br>1 Toshiba, Komukai, Saiwai-ku, Kawasaki City |
| (71) Applicant                   | Toshiba Corporation<br>72 Horikawa-machi, Kawasaki City  |
| (74) Agent                       | Patent attorney SUZUE, Takehiko<br>and 2 others  |

**SPECIFICATION**

**1. TITLE OF THE INVENTION**

Non-volatile Semiconductor Memory

**2. SCOPE OF PATENT CLAIMS**

A non-volatile semiconductor memory equipped with a non-volatile semiconductor memory cell, means for writing data to this memory cell, means for reading out the data that has been written using said means, means for performing writing until the threshold value of said memory cell corresponds to the inputted data to be stored, doing so through discriminating multiple bits of data in said memory cell by the threshold voltages thereof, and means for detecting the correspondence of said inputted data and memory cell threshold voltages to stop the writing.

**3. DETAILED DESCRIPTION OF THE INVENTION**

**(Technical Field of the Invention)**

The present invention relates to a non-volatile memory cell that has multiple bits of data in a single memory cell.

**(Prior Art and Problem Solved by the Present Invention)**

Conventionally in semiconductor memory, and, in particular, in read-only memory (ROM), methods wherein two bits worth of data are stored in a single cell through dividing the memory cell threshold voltage into four types,

for example, have been proposed. This has the advantage of being able to cut in half the surface area required by cells through storing two bits worth of data in a single cell. There are four different combinations (0, 0; 1, 0; 0, 1; and 1, 1) for two bits worth of data, where the two bits worth of data is read by identifying which of these four data [is in the memory cell] based on the voltage of the data line when the memory cell is selected.

However, conventionally the memory cell threshold value control has been performed by changing the gate voltage or the drain voltage. Because of this, in this method it has been difficult to control the threshold voltage due to variability in the gate length in the cell, the variability of the thickness of the oxide layer in the cell, and the like, so that even when identical voltage conditions are used when writing there would still be variability in the threshold voltages, instead of having the same threshold voltages, causing decreased yields.

#### (Object of the Present Invention)

The present invention is the result of contemplation of the situation described above, and the object thereof is to provide a non-volatile semiconductor memory wherein control of the memory threshold values is easy in a non-volatile memory wherein a weighting is applied to the threshold value of a single memory cell to store multiple bits worth of data.

#### (Summary of the Invention)

In order to achieve the object described above, in the present invention input data is established according to the magnitude of the threshold voltage that is to be set for a single memory cell, and the output for the multiple bits is fed back according to the threshold voltage that has been written in order to adjust the threshold value of the memory cell until the output for the multiple bits matches the multiple bits of the input data.

#### (Example Embodiment of the Present Invention)

An example of an embodiment according to the present invention will be explained below, referencing the figures. In Fig. 1, 1 is an AND gate to which the write input data  $D_{in0}$  and  $D_{in1}$  are provided, 2 is a NOR gate wherein the transistor 3 is controlled to provide a high voltage  $V_p$  (approximately 20 V) to a point "a." 4 is a flip-flop. 5 is an inverter. 6 is a NAND gate. 7 and 8 are comparators that compare the aforementioned input data to the output data that will be described below. 9 is a transistor for selecting the column. 10 is a memory cell wherein the threshold voltage is changed through the injection of electrons through writing. 11 and 12 are transistors for blocking erroneous writing when data is read by dropping the drain voltage of the memory cell 10. 13 is a transistor for a load. 14 through 16 are sensor amplifiers, with reference voltages  $C1$  to  $C3$  (where  $C1 > C2 > C3$ ), and which input the voltage from point "a" through the transistor 12. 17 is a change circuit that receives the outputs  $D1$  through  $D3$  of the sensor amplifiers to produce the outputs  $Dout0$  and  $Dout1$  generated based thereon, where the outputs  $Dout0$  and  $Dout1$  are fed back to the comparators 7 and 8.

In Fig. 1, the part 18 that is surrounded by the single dotted line is a circuit wherein one of the four combinations of two-bit outputs  $Dout0$  and  $Dout1$ , such as shown in Table 1, below, is produced through comparing

the voltage at point "b", which changes depending on the threshold voltage of the memory cell, to the three reference voltage levels C1, C2, and C3.

Table 1

| Output<br>Voltage at "b" | D1 | D2 | D3 | Dout0 | Dout1 |
|--------------------------|----|----|----|-------|-------|
| $B < C3$                 | 0  | 0  | 0  | 1     | 1     |
| $C2 > b > C3$            | 0  | 0  | 1  | 1     | 0     |
| $C1 > b > C2$            | 0  | 1  | 1  | 0     | 1     |
| $b > C1$                 | 1  | 1  | 1  | 0     | 0     |

Moreover, in Fig. 1, writing will be performed if either Din0 or Din1, or both, is "0" while in the Din0="1" and Din1="1" unwritten state. However, if, when the values of the input data Din0 and Din1 are in the write state, the signal PGM in Fig. 2 is "0" ("L"), then the reset signal Reset goes to "1" ("H"), and the signal S goes to "0". At this time, if the signal Write is "0", then the transistor 3 will be in an ON state, and the writing (programming) will be performed. Next, when the signal Read goes to "1" (the readout state), the output of the NOR gate 2 will go to "0" with the signal Write being "1", and thus writing will not be performed. In this readout state, a voltage according to the aforementioned writing will be produced at point "b", and thus the values at the outputs D1, D2, and D3 will be determined according to the value thereof [(i.e. according to the voltage at point "b")], determining also the outputs Dout0 and Dout1. This value is [SIC - "These values are"] fed back, and compared to the inputted data Din0 and Din1 in the comparators 7 and 8. If both inputs are matched in said comparators, then the signal S, at the time of the readout, goes to "1", and the writing is terminated, after which the signal Write goes to "0", and writing is not performed. On the other hand, if each of the inputs do not match in [either of] the comparators 7 or 8, then the signal S will remain "0", and next time the signal Write is "0", the transistor 3 will be ON, writing will be performed, and the data that results from the writing will be fed back and compared to the inputs in both of the comparators 7 and 8. Moreover, if both of these inputs match, then the writing is stopped, but if there is no match, then writing is performed, using the same process as described above, until they match.

By writing only a few times each and reading out successively, in this way, this makes it easy to control the threshold value of the memory cell.

Note that the present invention is not limited to only the example of an embodiment described above, but rather a variety of applications are possible. For example, in the present example of an embodiment, the threshold voltages of the memory cell are divided into four types to store two bits worth of data in a single memory cell but if, for example, the threshold voltages were divided into eight types, it would be possible to store three bits worth of data in a single memory cell. Moreover, although in the example of an embodiment output [SIC] two bits worth of data is stored in a single memory cell, two addresses worth of data may be stored in a single memory cell.

## (Effects of the Present Invention)

Given the present invention, as described above, it is possible to provide non-volatile semiconductor memory cells with improved yields because it is possible to set with excellent control one of a plurality of threshold voltages by writing to the memory cell and then sequentially monitoring by reading out, using write signals and read signals in a non-volatile memory cell wherein the surface area occupied by the memory cell is reduced by storing multiple bits of data by weighting the threshold value in a single memory cell.

## 4. BRIEF DESCRIPTION OF THE DRAWINGS

Fig. 1 is a structural drawing on one example of an embodiment according to the present invention.

Fig. 2 is a timing flow chart showing the operation of this structure.

1, 6: AND gates

6: NAND gate

2: NOR gate

7, 8: Comparators

3, 9-13: Transistors

14-16: Sensor amps

4: Flip-flop

17: Change circuit

Representative of Applicant: SUSUZE, Takihiro

Figure 1

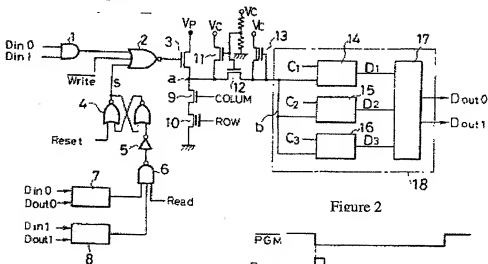
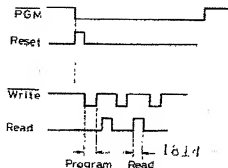


Figure 2



## Record of Amendment as Stipulated in Part 2 of Article 17 of the Japan Patent Law

Recorded as follows as there has been an amendment as stipulated in Part 2 of Article 17 of the Japan Patent Law to Japanese Patent Application S 57-227760 (Unexamined Patent Application Publication S 59-121696, dated 7/13/1984, and recorded in Japanese Published Patent Gazette 59-1217). 6 (4)

| Int. Cl. <sup>4</sup> | Identification Code | JPO File Number |
|-----------------------|---------------------|-----------------|
| G11C 17/00            | 309                 | A- 7341-58      |
| H01L 27/10            | 434                 | 8624-5F         |
| 29/78                 | 371                 | 7514-5F         |

Issued on 12/6/1989

## Procedural Amendment

6/12/1998

To: Director General of the Patent Office, YOSHIDA, [ILLEGIBLE]

1. Indicator of Case:  
Japanese Patent Application S 57-227760
2. Name of the Invention  
Non-volatile Semiconductor Memory
3. Amended by:  
Relationship to the Case: Patent Applicant  
(307) Toshiba corporation
4. Representative:  
(5847) SUZUE, Takehiko  
3-7-2 Kasumigaseki, Chiyoda-ku, Tokyo  
Postal Code: 100, 03 (502) 3181 (Main Switchboard)  
[OFFICIAL STAMP]
5. Self-initiated Amendment
6. Subject of the Amendment:  
Specification
7. Number of Claims Increased by the Amendment: 2  
[STAMPED BY THE JAPANESE PATENT OFFICE ON 6/12/2001]
8. Details of Amendment

(1) Amend the Scope of Patent Claims as Attached.

(2) Following the last word in the sentence on line 13 of block 7 of the Specification [TRANSLATOR'S NOTE: IMMEDIATELY BEFORE "THE EFFECTS OF THE INVENTION"], add the following:

"Moreover, the present invention can also be applied in a case wherein a single bit's worth of data is stored in a single memory cell, as is conventional. In the present invention, the reading and writing of data is performed sequentially, and at this time, a check is made as to whether or not data has been written to the memory cell. Because the application of this type of function, even to a conventional memory cell, makes it possible to stop writing after it has been detected that the data has been written, the need for excessive writing, which has a negative effect on the write time, is eliminated, and the write time is shortened. In other words, conventionally, the writing operation was performed only over a specific time interval. There is variability in the write characteristics in each memory cell, or in order to cover the variability in write characteristics in memory cells, due to the manufacturing equipment, the write time interval was established with an adequate margin, which was a time that was too long for those memory cells with excellent write characteristics. Given the present invention, the most appropriate write time will be used in each memory cell, and thus it is possible to shorten the write time substantially when compared to the conventional technology."

## 2. Scope of Patent Claims

(1) A non-volatile semiconductor memory comprising a non-volatile semiconductor memory cell, means for writing data to this memory cell, means for reading the data that is stored in said memory cell, means for detecting whether or not the data has been written to said memory cell, using this data that has been read out, and means that prevents writing of data to said memory cell.

(2) A non-volatile semiconductor memory comprising a non-volatile semiconductor memory cell, means for writing data to this memory cell, means for reading the data that is stored in said memory cell, means for detecting whether or not the data has been written to said memory cell, and means that prevents the repeated operations of writing said data and reading said data according to the detection results, where at least one repeat is made of writing said data and reading said data.

(3) A non-volatile semiconductor memory comprising a non-volatile semiconductor memory cell, means for writing data to said memory cell, means for reading data from said memory cell, means for performing writing, until the threshold voltage of said memory cell corresponds to the input data that has been stored, through segmenting the multiple bits of data in said memory cell using the threshold voltage, and means for detecting the correspondence of the threshold voltage of the memory cell to said inputted data in order to stop writing.

Representative of Applicant: SUZUE, Takehiko, Patent Attorney



⑬ 日本国特許庁 (JP)

⑭ 特許出願公開

⑫ 公開特許公報 (A)

昭59-121696

① Int. Cl.<sup>3</sup>  
G 11 C 17/00  
H 01 L 29/78

識別記号  
1 0 1

庁内整理番号  
6549-5B  
7514-5F

③ 公開 昭和59年(1984)7月13日

発明の数 1  
審査請求 未請求

(全 3 頁)

④ 不揮発性半導体メモリ

⑦ 発明者 岩橋弘

② 特 願 昭57-227760

② 出 願 昭57(1982)12月28日

② 発明者 住原英樹

川崎市幸区小向東芝町1番地東  
京芝浦電気株式会社トランジス  
タ工場内

川崎市幸区小向東芝町1番地東  
京芝浦電気株式会社トランジス  
タ工場内

⑦ 出 願 人 東京芝浦電気株式会社

川崎市幸区堀川町72番地

⑦ 代 理 人 弁理士 鈴江武彦 外2名

明 細 書

1. 発明の名称

不揮発性半導体メモリ

2. 特許請求の範囲

不揮発性半導体メモリセルと、このメモリセルにデータを書き込む手段と、読手段で書き込まれたデータを読み出す手段と、前記メモリセルに複数ビットのデータをそのしきい値電圧で区別することにより記憶させ入力データに前記メモリセルのしきい値電圧が対応するまで書き込みを行なう手段と、前記入力データとメモリセルのしきい値電圧が対応するのを検出し書き込みを停止する手段とを具備したことを特徴とする不揮発性半導体メモリ。

3. 発明の詳細な説明

〔発明の技術分野〕

本発明は1メモリセルに複数ビット分のデータを有する不揮発性メモリセルに関する。

〔発明の技術的背景とその問題点〕

従来、半導体メモリ特にROM (Read Only

Memory) においては、例えばメモリセルのしきい値電圧を4種に区別することにより、1セルに2ビット分のデータを記憶する方式のものが提案されている。これは、1セルに2ビット分のデータを記憶することにより、セルの占有面積を半分にするという利点がある。2ビット分のデータは'0', '0', '1', '0', '0', '1', '1', '1'の4つの組み合わせがあるが、これをそのしきい値電圧に対応させ、そのメモリセルが選択された時のデータ線の電位により、4つのデータのどれかを区別し、2ビット分のデータを読み出すものである。

しかしながら従来、メモリセルのしきい値コントロールは、ゲート電圧やドレイン電圧を定めることによりなされていた。このためこの方法では、セルのゲート長のばらつきとか酸化膜の膜厚のばらつきなどから、しきい値電圧をコントロールすることが難しく、同一の電圧条件で書き込みを行なつても、しきい値電圧は同一にはならずばらついてしまい、歩留低下の原

図となるものである。

〔発明の目的〕

本発明は上記実情に鑑みてなされたもので、1つのメモリーセルのしきい値に重みをつけ、複数ビット分のデータを記憶する不揮発性メモリーにおいて、メモリーセルのしきい値のコントロールを容易にできる不揮発性半導体メモリーを提供しようとするものである。

〔発明の概要〕

本発明は上記目的を達成するために、1メモリーセルの設定すべきしきい値電圧の大きさに応じて入力データを設定し、書き込まれたしきい値電圧に応じた複数ビットの出力をフィードバックして、出力の複数ビットと入力データの複数ビットが互に一致するまでメモリーセルのしきい値を変化させるようにしたものである。

〔発明の実施例〕

以下図面を参照して本発明の一実施例を説明する。第1図において1は書き込み入力データ  $D_{in0}$ ,  $D_{in1}$  が供給されるアンド回路、2は

トランジスタ3を制御して高電圧  $V_p$  (約2.0V) をa点に供給するノア回路、イはフリップフロップ、5はインバータ、6はナンド回路、7, 8は前記入力データと後述の出力データを比較する比較器、9はカラム選択用トランジスタ、10は書き込みにより電子が注入されしきい値電圧が変わるメモリーセル、11, 12はメモリーセル10のドレイン電圧を下げてデータ読み出し時の誤書き込みを防止するトランジスタ、13は負荷用トランジスタ、14~16は基準電圧  $C_1 \sim C_3$  ( $C_1 > C_2 > C_3$ ) とトランジスタ12を介したa点電圧を入力とするセンスアンプ、17はセンスアンプ出力  $D_1 \sim D_3$  を入力としこれをもとに作成した出力  $Dout0$ ,  $Dout1$  を導出する変換回路で、出力  $Dout0$  と  $Dout1$  は比較器7と8にフィードバックされている。

第1図において一点鎖線で囲われた部分18は、メモリーセルのしきい値電圧によつて変化するb点の電位を  $C_1$ ,  $C_2$ ,  $C_3$  なる3つの基準電圧レベルと比較することにより、下記の真

1表のような2ビットの出力  $Dout0$ ,  $Dout1$  の4種の組み合わせの1つを出す回路である。

第 1 表

| 出力<br>bの電位      | $D_1$ | $D_2$ | $D_3$ | $Dout0$ | $Dout1$ |
|-----------------|-------|-------|-------|---------|---------|
| $b < C_3$       | 0     | 0     | 0     | 1       | 1       |
| $C_1 > b > C_2$ | 0     | 0     | 1     | 1       | 0       |
| $C_1 > b > C_2$ | 0     | 1     | 1     | 0       | 1       |
| $b > C_1$       | 1     | 1     | 1     | 0       | 0       |

また第1図において  $D_{in0} = '1'$ ,  $D_{in1} = '1'$  の時非書き込み状態、 $D_{in0}$ ,  $D_{in1}$  のいずれかが '0' または共に '0' であれば、書き込みが行なわれる。しかし入力データ  $D_{in0}$ ,  $D_{in1}$  の値が書き込み状態である時に第2図の信号  $FQM$  が '0' ('L') になると、リセット信号  $Reset$  が '1' ('H') となつて信号8が '0' となる。この時信号  $Write$  が '0' ならば、トランジスタ3がオン状態で書き込み(プログラム)が行なわれる。次に信号  $Read$  が '1' (読み出し状態)になると、ノア回路2の出力は、信号

$Write$  が '1' で '0' となり、書き込みは行なわれない。この読み出し状態では、b点に前記書き込みに応じた電圧が出ているので、その値に応じて出力  $D_1$ ,  $D_2$ ,  $D_3$  の値が書き込み、出力  $Dout0$ ,  $Dout1$  も書き込み。この値をフィードバックして比較器7, 8で入力データ  $D_{in0}$ ,  $D_{in1}$  と比較してみる。該比較器で両入力が一致していれば、読み出し時に信号8が '1' となつて書き込みが中止になり、その後信号  $Write$  が '0' になつても書き込みは行なわれない。一方、比較器7, 8でそれぞれ両入力が一致してなければ、信号8は '0' のまゝで次の信号  $Write$  が '0' の時にトランジスタ3をオン状態にして書き込みを行ない、この書き込み結果のデータをフィードバックして比較器7, 8でそれぞれ両入力を比較する。そしてこれら両入力が一致していれば書き込みを中止し、一致していなければ上記同様の過程で一致するまで書き込みが行なわれる。

このようにわずかず書き込みを行ない、順

次読み出すことにより、メモリスセルのしきい値のコントロールが容易に行なえるようにしたものである。

なお本発明は上記実施例のみに限定されるものではなく、種々の応用が可能である。例えば実施例では、メモリスセルのしきい値電圧を4道に區別して、1つのメモリスセルに2ビット分のデータを記憶したが、例えばしきい値電圧を8道に區別すれば、1メモリスセルに3ビット分のデータを記憶できる。また実施例では出力2ビット分を1つのメモリスセルに記憶するようにしたが、2つのアドレス分のデータを1つのメモリスセルに記憶するようにしてもよい。

(発明の効果)

以上説明した如く本発明によれば、1つのメモリスセルのしきい値に重みをつけ、複数ビット分のデータを記憶してメモリスセルの占有面積を縮小化する不揮発性メモリにおいて、書き込み信号と読み出し信号により、メモリスセルへの書き込み量を順次読み出してモニタし、複数値の

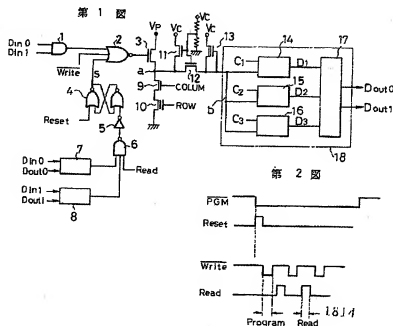
しきい値のうちのどれか1つに制御信号を設定できるため、歩留が向上した不揮発性半導体メモリが提供できるものである。

各図面の簡単な説明

第1図は本発明の一実施例の構成図、第2図は記憶動作を示すタイミングチャートである。

1、6…アンド回路、2…ノア回路、3、9…15…トランジスタ、4…フリップフロップ、5…ナンド回路、7、8…比較器、14～16…センスアンプ、17…変換回路。

出願人代理人 弁理士 錦 江 武 彦



特許法第17条の2の規定による補正の掲載

昭和 57 年特許願第 227760 号(特開昭  
59-121696 号, 昭和 59 年 7 月 13 日  
発行 公開特許公報 59-1217 号掲載)につ  
いては特許法第17条の2の規定による補正があっ  
たので下記のとおり掲載する。 6 (4)

| Int. Cl. 1 | 識別記号 | 序内整理番号    |
|------------|------|-----------|
| G11C 17/00 | 309  | A-7341-58 |
| H01L 27/10 | 434  | 8624-5F   |
| 29/78      | 371  | 7514-5F   |

平成 1.12.-6 発  
手 初 正 書 6月12日  
平成元年

特許庁長官 吉田 文 殿

1. 事件の表示

特願昭57-227760号

2. 発明の名称

不揮発性半導体メモリ

3. 補正をする者

事件との関係 特許出願人

(387) 株式会社 東芝

4. 代理人

東京都千代田区幕が関3丁目7番2号

〒100 電話 03(502)3181(大代表)

(5847) 弁護士 鈴 江 茂 彦

5. 自発補正

6. 補正の別数

明 細 書

7. 補正により増加する発明の数 2



8. 補正の内容

(1) 特許請求の範囲を別紙の通り訂正する。

(2) 明細書第7頁第13行目に記載の「するようにしてもよい。」のあとに「さらに、従来の様に、一つのメモリスセルに1ビット分のデータを記憶する場合にも本発明は適用できる。本発明においては、データの書き込みと読み出しを順次行ない、そのつど、メモリスセルへデータが書き込まれたかどうかを検知するようにしている。従来のメモリスセルにおいても、このような機能を設ければ、データが書き込まれたことが検知された後書き込みを停止できるので、書き込み時間が最適化され余分な書き込み時間が必要なくなり、書き込み時間が短縮される。すなわち、従来は、所定の時間経過後書き込み動作を行なっている。各メモリスセルにおいて、書き込み特性がばらついたり、あるいは製造装置によるロット間のメモリスセルの書き込み特性のばらつきを排除するため、十分マージンのある書き込み時間幅を設定しており、書き込み特性の良いメモリスセルに対しては長すぎる時間

であった。本発明によれば、各メモリスセル毎に、最適の書き込み時間となるため、従来より、はるかに書き込み時間を短縮することが出来る。」を加入する。

## 2. 特許請求の範囲

(1) 不揮発性半導体メモリセルと、このメモリセルにデータを書き込む手段と、前記メモリセルに記憶されているデータを読み出す手段と、この読み出されたデータにより前記メモリセルにデータが書き込まれたかどうかを検知する手段と、前記メモリセルへのデータ書き込み動作を行なわないようにする手段とを具備したことを特徴とする不揮発性半導体メモリ。

(2) 不揮発性半導体メモリセルと、このメモリセルにデータを書き込む手段と、前記メモリセルに記憶されているデータを読み出す手段と、この読み出されたデータにより前記メモリセルにデータが書き込まれたかどうかを検知する手段と、前記データの書き込みとデータの読み出しを少なくとも1回以上くり返し行ない前記検知結果に応じて、前記データの書き込みとデータの読み出しのくり返し動作を行なわないようにする手段とを具備したことを特徴とする不揮発性半導体メモリ。

(3) 不揮発性半導体メモリセルと、このメモリ

## 手続 1.12.-6 発行

セルにデータを書き込む手段と、該手段で書き込まれたデータを読み出す手段と、前記メモリセルに複数ビットのデータをそのしきい値電圧で区別することにより記憶させ入力データに前記メモリセルのしきい値電圧が対応するまで書き込みを行なう手段と、前記入力データとメモリセルのしきい値電圧が対応するのを検出し書き込みを停止する手段とを具備したことを特徴とする不揮発性半導体メモリ。

出願人代理人 弁理士 鈴江武彦